

3-03023-TA

## SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP61024268  
 Publication date: 1986-02-01  
 Inventor(s): IWAI HIDETOSHI  
 Applicant(s): HITACHI SEISAKUSHO KK  
 Requested Patent: ☐ JP61024268  
 Application Number: JP19840144205 19840713  
 Priority Number(s):  
 IPC Classification: H01L27/08; H01L27/06; H01L29/78  
 EC Classification:  
 Equivalents:

### Abstract

**PURPOSE:** To reduce a mask process contriving preventive measures against the characteristic deterioration due to a hot carrier in an internal circuit and contriving preventive measures against the electrostatic withstand voltage reduction to a clamping MOS in a protection circuit by integrally forming the internal circuit and the protection circuit on one chip in an off-set gate structure.

**CONSTITUTION:** In an internal circuit 2, the concentration slope of the N type semiconductor region under a gate is eased due to the existence of an N<-> layer, the voltage between a source and a drain is reduced and the electric field adjacent to the drain is mitigated by the off-set gate structure of an N-MOS1. In a protection circuit 5, the breakdown voltage of a P-N junction is reduced due to the off-set gate structure of a clamping MOSFET3 and the electrostatic destruction of a gate oxidized film 19(19a) is prevented. A mask process can be reduced since the internal circuit 2 and the protection circuit 5 are simultaneously formed by an off-set gate device.

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

昭61-24268

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)2月1日

H 01 L 27/08  
27/06  
29/781 0 2  
1 0 26655-5F  
6655-5F  
8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭59-144205

⑯ 出 願 昭59(1984)7月13日

⑰ 発 明 者 岩 井 秀 俊 小平市上水本町1450番地、株式会社日立製作所デバイス開発センタ内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. MISFETからなる内部回路と、クランプ用MISFETとを有する保護回路とを1チップ上に形成してなる半導体集積回路装置において、前記内部回路および前記保護回路を構成するMISFETをオフセットゲート構造で構成したことを特徴とする半導体集積回路装置。
2. 前記オフセットゲート構造はゲート電極の両側面に形成したサイドウォールをマスクとして形成されてなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

発明の詳細な説明

〔技術分野〕

本発明はMIS型半導体集積回路装置に関するものである。

〔背景技術〕

MOSメモリは、第1図に示すようにNチャネルMOSFET(N-MOS)1からなる内部回

路2と、クランプ用MOSFET3と抵抗4を有し内部回路2を静電破壊から保護するための保護回路5を有しており、チップの中央部分に内部回路2を設け、その周囲に保護回路5を設けている。

ここで、内部回路2と保護回路5とを2重ドレイン構造で一体的に形成すると、内部デバイスとしてはゲート下の濃度勾配がゆるやかとなり、ドレイン近傍の電界が緩和され、ホットキャリアのゲート酸化膜への注入現象が抑制され、経時的な特性劣化が防止される。しかし保護回路5では2重ドレイン構造のため濃度勾配が緩やかとなり、クランプMOSFET3のブレークダウン電圧が高くなってしまい問題である。

そこで本発明者は内部回路2のデバイスには2重ドレイン構造、保護回路5のデバイスには1重ドレイン構造を採用し、前述したホットキャリアによる特性劣化防止対策とクランプMOSの静電耐圧低下防止対策の両立を図ってきた(特願昭58-243801号)。

しかしながら、内部回路2のデバイスの方は

A<sup>+</sup>とPイオンの2重打ち込みを必要とするのに、保護回路5の方はA<sup>+</sup>イオンの打ち込み1回でよいので、保護回路5をマスクして内部回路2デバイスの方だけにPイオン打ち込みをしなければならぬ。従ってホットキャリアによる特性劣化防止対策とクランプMOSFET3の静電耐圧低下防止対策の両立が図れるが、保護回路5のみをマスクする工程が1回追加されたことになり、この工程の増加に伴い、チップがコスト高となっていた。

#### 〔発明の目的〕

本発明の目的は、ホットキャリアによる特性劣化防止対策と静電耐圧低下防止対策の両立をはかりながら、マスク工程を1層分低減できるようにしたMOS型半導体集積回路装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なも

のの概要を簡単に説明すれば下記のとおりである。

すなわち、1チップ上に形成される内部回路および保護回路をオフセットゲート構造で一体的に形成することにより、内部回路においてはホットキャリアによる特性劣化防止対策を図り、保護回路においては、クランプMOSの静電耐圧低下防止対策を図りながら、マスク工程を特にこのために追加することなく目的を達成するものである。

#### 〔実施例〕

第2図は本発明によるMOS型半導体集積回路装置の一実施例を示し、特に1チップ上に形成される第1図に示す内部回路2と入力部静電保護回路5とをN-MOSで構成した場合を示している。

同図において、P形シリコン半導体基板6上に内部回路2を構成するN-MOS1と入力部静電保護回路5とをオフセットゲート構造で構成したものである。すなわち内部回路2のN-MOS1をオフセットゲート構造とし、同時に保護回路5のクランプ用MOSFET3と抵抗4をも併せてオフセットゲート構造方式で形成したものである。

上記オフセットゲート構造では、まず、N-MOS1のソース、ドレイン7、8およびクランプ用MOSFET3のドレイン、ソース9、10の各近傍に、夫々、ゲート電極11および12をマスクとしてA<sup>+</sup>イオン打ち込みにより濃度の低いn<sup>+</sup>層を形成する。その後、CVDとRIE（反応性イオンエッチング）法でモリブデンシリサイドゲート電極11、12の両側にSiO<sub>2</sub>のサイドウォール19bを形成する。この後、ゲート電極11、12およびサイドウォール19bをマスクとしてP（りん）をイオン打ち込みしてアニールしn<sup>+</sup>型半導体領域からなるN-MOS1のソース7、ドレイン8、クランプMOSFET3のドレイン9、ソース10、抵抗4を形成する。

なお、13～18はアルミニウム配線、19はSiO<sub>2</sub>であって、特に19aはSiO<sub>2</sub>のゲート酸化膜、19cはSiO<sub>2</sub>のフィールド酸化膜である。

以上のように構成された半導体集積回路装置では、まず内部回路2のデバイスにおいて、N-MOS1をオフセットゲート構造としたために、

n<sup>+</sup>層の存在によりゲート下n<sup>+</sup>型半導体領域の濃度勾配が緩やかになり、ソース、ドレイン間の電圧が低減し、ドレイン近傍の電界緩和となる。そしてホットキャリアのゲート酸化膜19a中への注入を抑制することができる。

また保護回路5においても、クランプMOSFET3をオフセットゲート構造としたため、二重ドレイン構造の場合よりもpn接合のブレイクダウン電圧が下がる。これによりドレイン9とSiO<sub>2</sub>19の境界面近傍で発生した電荷が基板に吸収されるのでゲート酸化膜19（19a）の静電破壊が防止される。しかもゲート酸化膜19の静電破壊耐圧を向上させることができる。

以上のようにオフセットゲート構造プロセスを内部回路2と入力部静電保護回路5に適用しても、ホットキャリアによる特性劣化防止対策と静電破壊耐圧低下防止対策の両立を図ることができる。そして、内部回路2と保護回路5とを共にオフセットゲートデバイスで同時に形成したため、保護回路5の形成領域のみをマスクしていた工程を低

成できる。

〔効果〕

内部回路のMOSFETおよび保護回路のクランプMOSFETをオフセットゲート構造としたことにより、両回路を同時に形成でき、保護回路形成領域のみをマスクしていた工程を不要とすることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば内部回路の構成素子としてPチャネルMOSFET(P-MOS)や、P-MOSとN-MOSからなる回路の場合でもよい。

〔利用分野〕

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるMOSメモリに適用した場合について説明したが、それに限定されるものではなく、ホットキャリア

による特性劣化防止対策と静電破壊耐圧低下防止対策の両立を必要とするMOSIC一般に適用することができる。

図面の簡単な説明

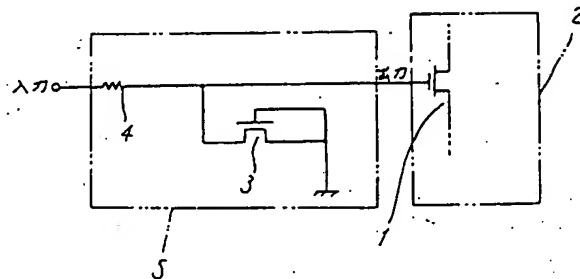
第1図はMOSメモリアレーを構成する内部回路と入力部静電保護回路の結線図、

第2図は本発明の一実施例を示す要部縦断面図である。

1…N-MOS、2…内部回路、3…クランプMOSFET、4…抵抗又は拡散層抵抗、5…入力部静電保護回路、6…P型基板、7、10…ソース、8、9…ドレイン、11、12…シリサイドゲート。

代理人 弁理士 高橋明夫

第 1 図



第 2 図

